

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233876

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01S 3/18

(21)Application number : 10-033320

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 16.02.1998

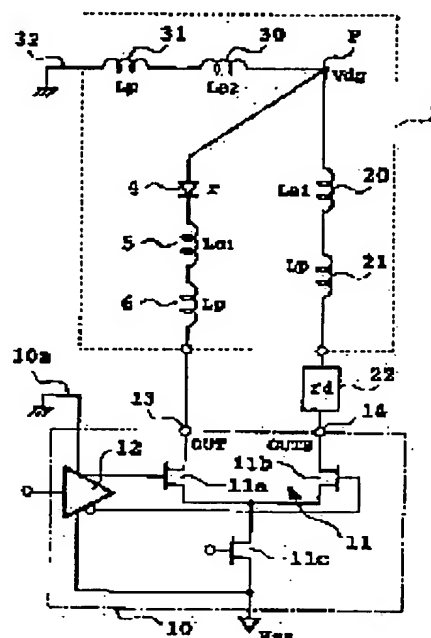
(72)Inventor : TSUMURA HIDESHI

## (54) LASER MODULE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To completely balance differential loads by providing an equipment with a second output circuit having the load impedance equivalent to that of a first output circuit and connecting the first and the second output circuit so that the load impedances of these circuits may be balanced.

**SOLUTION:** To an output terminal OUT 13 of a differential output section 11, a load impedance circuit constituted of an ON-state resistance 'r' of an LD 4, a wire inductance Lc1 of a bonding wire 5, and a pin inductance LP of a lead pin 6 is connected. To an output terminal OUTB 14, a load impedance circuit constituted of a wire inductance La1 of a bonding wire 20, a pin inductance Lp of a case pin 21, and a dummy resistance rd of a dummy load 22 is connected. In this case, the load impedances (r, Lc1, Lp) and (La1, Lp, rd) are made equal to each other. Since the circuits which are equivalent to each other are inserted in the differential output section 11, differential loads are balanced.



## LEGAL STATUS

[Date of request for examination] 09.08.1999

[Date of sending the examiner's decision of rejection] 30.07.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3379421

[Date of registration] 13.12.2002

[Number of appeal against examiner's decision of rejection] 2002-16627

[Date of requesting appeal against examiner's decision of rejection] 29.08.2002

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-233876

(43) 公開日 平成11年(1999) 8月27日

(51) Int.Cl.<sup>8</sup>  
H 0 1 S 3/18

識別記号

F I  
H 0 1 S 3/18

審査請求 未請求 請求項の数 6 O L (全 9 頁)

(21) 出願番号 特願平10-33320

(22) 出願日 平成10年(1998) 2月16日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 津村 英志

神奈川県横浜市栄区田谷町1番地 住友電

気工業株式会社横浜製作所内

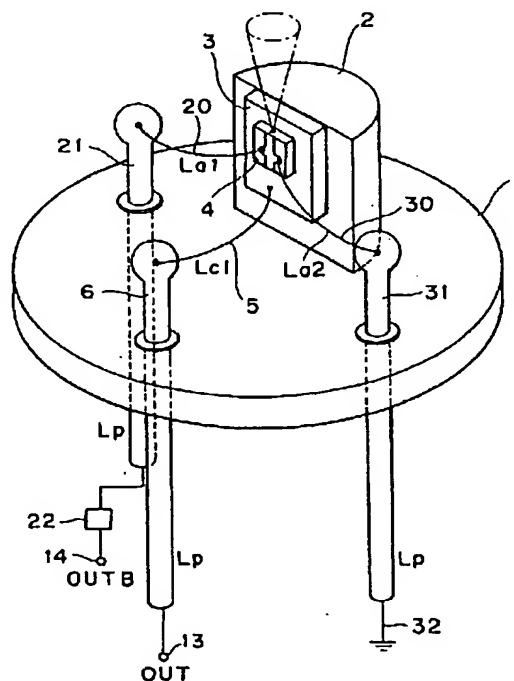
(74) 代理人 弁理士 谷 義一 (外3名)

(54) 【発明の名称】 レーザモジュール

(57) 【要約】

【課題】 高速動作時の安定化を図り、ジッタのない信頼性の高いデータ伝送を行うことが可能なレーザモジュール。

【解決手段】 差動出力部11の一方の差動出力端子13に接続された第1の出力回路の負荷インピーダンス4, 5, 6と、他方の差動出力端子14に接続された第2の出力回路の負荷インピーダンス20, 21, 22とが等価で互いに平衡となるように接続をすることによって、差動負荷のバランスを完全にとるようにする。



## 【特許請求の範囲】

【請求項1】 金属製のパッケージに封止されたレーザダイオードと、

差動回路として構成された差動出力部を有し、前記レーザダイオードを駆動する駆動回路と、

前記差動出力部の一方の差動出力端子に接続され、前記レーザダイオードを含む所定の負荷インピーダンスを有する第1の出力回路と、

前記差動出力部の他方の差動出力端子に接続され、かつ、前記第1の出力回路の負荷インピーダンスと等価な負荷インピーダンスを有する第2の出力回路とを具え、前記第1の出力回路の負荷インピーダンスと前記第2の出力回路の負荷インピーダンスとが互いに平衡となるように接続されたことを特徴とするレーザモジュール。

【請求項2】 前記第1の出力回路の負荷インピーダンスは、前記レーザダイオードと、前記パッケージの第1のリードピンと、前記第1のリードピンと前記レーザダイオードの第1の電極に接続されたサブマウントとを接続する第1のボンディングワイヤとにより構成され、前記第2の出力回路の負荷インピーダンスは、前記レーザダイオードのダミー用抵抗と、前記パッケージの第2のリードピンと、前記第2のリードピンと前記レーザダイオードの第2の電極とを接続する第2のボンディングワイヤとにより構成され、前記第1のリードピンおよび前記第2のリードピンは前記パッケージと電気的に絶縁されていることを特徴とする請求項1記載のレーザモジュール。

【請求項3】 前記パッケージと電気的に短絡された第3のリードピンと、前記第3のリードピンと前記レーザダイオードの第2の電極とを接続する第3のボンディングワイヤとをさらに具えたことを特徴とする請求項2記載のレーザモジュール。

【請求項4】 前記第1の出力回路の負荷インピーダンスは、前記レーザダイオードと、前記パッケージの第1のリードピンと、前記第1のリードピンと前記レーザダイオードの第1の電極に接続されたサブマウントとを接続する第1のボンディングワイヤとによって構成され、前記第2の出力回路の負荷インピーダンスは、前記レーザダイオードのダミー用レーザダイオードと、前記パッケージの第2のリードピンと、前記第2のリードピンと前記ダミー用レーザダイオードの第1の電極に接続されたサブマウントとを接続する第2のボンディングワイヤとによって構成され、前記レーザダイオードの第2の電極と前記ダミー用レーザダイオードの第2の電極とは第3のボンディングワイヤで接続され、前記第1のリードピンおよび前記第2のリードピンは前記パッケージと電気的に絶縁されたことを特徴とする請求項1記載のレーザモジュール。

【請求項5】 前記レーザダイオードと前記ダミー用レ

ーザダイオードとは一体にして構成され、

前記レーザダイオードおよび前記ダミー用レーザダイオードにおける前記第1の電極は分離され、かつ、前記第2の電極は共通に形成されたことを特徴とする請求項4記載のレーザモジュール。

【請求項6】 前記パッケージと前記駆動回路の接地電極とは、寄生インダクタンスを含まない低インピーダンスの導体で接続されたことを特徴とする請求項2ないし5のいずれかに記載のレーザモジュール。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、レーザモジュールに関し、特に、高速動作時に良好な発光出力を得ることが可能なレーザモジュールに関する。

## 【0002】

【従来の技術】図9は、従来の一般的なレーザモジュール(LDパッケージ)の構造例を示すものである。これは、発光出力が円形パッケージ(TO型)の頭部から得られる同軸型のモジュールの例である。

【0003】パッケージケースを構成する金属製のステム1上には、突起部2が形成されている。この突起部2には、絶縁体の表面がメタライズされて構成された熱伝導性のよいサブマウント3が搭載されている。このサブマウント3上には、n型半導体基板上に各層が形成されたレーザダイオード(以下、LDという)4が搭載されている。このサブマウント3を設けるのは、n型半導体基板ではカソードが下面側にあり、アノード接地としてLD4を駆動する際、n型半導体基板側に駆動用信号を印加する必要があるためである。

【0004】LD4の裏面側のカソード(n電極)はサブマウント3上の電極と接続され、サブマウント3上の電極(マウント表面のどこでも可)はボンディングワイヤ5を介して信号用のリードピン6と接続されている。リードピン6は、ステム1と電気的に絶縁されている。一方、LD4の表面側のアノード(p電極)は、ボンディングワイヤ7を介して、突起部2と接続されている。この突起部2は、ステム1の下面側で鉛直方向に延在したケースピン8と接続されている。

【0005】なお、LD4の突起部2への搭載位置は、LD4の発光個所又はステム1の中央部に一致するような位置とされている。このステム1の全体を覆うように、中央部に集光レンズ(図示せず)が一体化して設けられた蓋を被せることによって、レーザモジュールが構成される。

## 【0006】

【発明が解決しようとする課題】図10は、上記図9に示したレーザモジュールを等価回路的に示したものである。図11は、図10の全体的な外観構成を示す。

【0007】図10において、レーザモジュール本体からリードピン6の先端までには、ボンディングワイヤ

3

5, 7による寄生インダクタンス $L_c$ ,  $L_a$  (いずれも、1.0nH程度)、リードピン6、ケースピン8自身が各々持つ寄生インダクタンス $L_p$  (0.5nH程度)が存在する。この場合、 $L_c$ は、カソード側のボンディングワイヤ5のワイヤインダクタンスである。 $L_a$ は、アノード側のボンディングワイヤ7のワイヤインダクタンスである。 $L_p$ は、カソード側のリードピン6のピンインダクタンス、および、アノード側のケースピン8のピンインダクタンスである。

【0008】また、10は差動出力型の駆動回路である。この駆動回路10は、3個のトランジスタ(FET)11a~11cからなる差動出力部11と、アンプ部12とにより構成されている。差動出力部11の一方のOUT出力端子13は、リードピン6に接続されている。差動出力部11の他方のOUTB(=OUT)出力端子14は、接地されている。そして、パッケージのケースピン8を駆動回路10の近辺に接地した場合には、パッケージ周辺に存在する寄生インダクタンスの成分は、全て、駆動回路10のOUT出力端子13側に接続されているとみなされる。

【0009】寄生インダクタンスの成分は、駆動回路10の差動出力段の接合容量( $C_{gd}$ ,  $C_{gs}$ )、拡散容量、配線経路中の寄生(浮遊)容量と一体となって回路を構成する。LD4の動作周波数が数MHz~数十MHz程度の速度では、これら寄生インダクタンスを有する寄生素子の影響は無視できるが、数百MHz~GHz帯の高速動作領域の速度では、寄生素子によって構成される寄生回路の時定数が動作周波数と重なり、その影響が無視できなくなる。そして、従来のレーザモジュールでは、寄生インダクタンスが全て駆動回路10のOUT側に接続されているため、OUT側のみにその影響が現われ、差動負荷にアンバランスが生じる。その結果、正確な差動出力を得ることができず、LD4を正常に駆動させることができなくなり、光通信等において入力データパターンに依存したジッタが発生するという問題がある。

【0010】このような問題を解決するための手法として、図12に示すような回路が考えられる。図13は、図12の全体的な概略構成を示す。

【0011】図12において、領域Aは、レーザモジュールの構成部分である。このレーザモジュールのステム(金属製)1と駆動回路10の接地線(GND)10aとは、低インダクタンスな幅広の導体パターン15を用いて接続され、電気的に確実に導通されている。また、駆動回路10のOUTB出力端子14には、LD4のオン抵抗 $r$ とほぼ同程度の抵抗値(10~20Ω)をもつダミー負荷16が挿入されている。図14は、ダミー負荷16の1例を示すものであり、抵抗や、1個又は2個のダイオードを用いて構成できる。

【0012】OUTB出力端子14に接続されたダミー

4

負荷16と、ケースピン8とからなる回路の一端は、ステム1(GND)に接続されている。一方、OUT出力端子13には、信号用のリードピン6と、ボンディングワイヤ5と、LD4と、ボンディングワイヤ7とからなる回路が接続され、この回路の一端はステム1(GND)に接続されている。

【0013】これら図12および図13に示したように、低インダクタンスの導体パターン15を設けると共に、OUTB出力端子14にダミー負荷16を接続することによって、差動負荷のバランスをとるようにしている。

【0014】しかしながら、このような手法をたとえとったとしても、差動負荷のアンバランスを相殺除去できる部分は、リードピン6、ケースピン8の寄生インダクタンス $L_p$ 部分のみであり、ボンディングワイヤ5, 7に起因する寄生インダクタンス $L_c$ ,  $L_a$ はOUT出力端子13側の回路に依然として混入されたままである。このため、差動負荷のバランスを完全にとることができないという問題が残る。

【0015】そこで、本発明の目的は、差動負荷のバランスを完全にとることによって、高速動作時の安定化を図り、ひいては、ジッタのない信頼性の高いデータ伝送を行うことが可能なレーザモジュールを提供することにある。

【0016】

【課題を解決するための手段】本発明は、金属製のパッケージに封止されたレーザダイオードと、差動回路として構成された差動出力部を有し、前記レーザダイオードを駆動する駆動回路と、前記差動出力部の一方の差動出力端子に接続され、前記レーザダイオードを含む所定の負荷インピーダンスを有する第1の出力回路と、前記差動出力部の他方の差動出力端子に接続され、かつ、前記第1の出力回路の負荷インピーダンスと等価な負荷インピーダンスを有する第2の出力回路とを具え、前記第1の出力回路の負荷インピーダンスと前記第2の出力回路の負荷インピーダンスとを互いに平衡となるように接続することによって、レーザモジュールを構成する。

【0017】ここで、前記第1の出力回路の負荷インピーダンスは、前記レーザダイオードと、前記パッケージの第1のリードピンと、前記第1のリードピンと前記レーザダイオードの第1の電極に接続されたサブマウントとを接続する第1のボンディングワイヤとにより構成され、前記第2の出力回路の負荷インピーダンスは、前記レーザダイオードのダミー用抵抗と、前記パッケージの第2のリードピンと、前記第2のリードピンと前記レーザダイオードの第2の電極とを接続する第2のボンディングワイヤとにより構成し、前記第1のリードピンおよび前記第2のリードピンは前記パッケージと電気的に絶縁することができる。

【0018】前記パッケージと電気的に短絡された第3

のリードピンと、前記第 3 のリードピンと前記レーザダイオードの第 2 の電極とを接続する第 3 のボンディングワイヤとをさらに具えることができる。

【0019】前記第 1 の出力回路の負荷インピーダンスは、前記レーザダイオードと、前記パッケージの第 1 のリードピンと、前記第 1 のリードピンと前記レーザダイオードの第 1 の電極に接続されたサブマウントとを接続する第 1 のボンディングワイヤとによって構成し、前記第 2 の出力回路の負荷インピーダンスは、前記レーザダイオードのダミー用レーザダイオードと、前記パッケージの第 2 のリードピンと、前記第 2 のリードピンと前記ダミー用レーザダイオードの第 1 の電極に接続されたサブマウントとを接続する第 2 のボンディングワイヤとによって構成し、前記レーザダイオードの第 2 の電極と前記ダミー用レーザダイオードの第 2 の電極とは第 3 のボンディングワイヤで接続し、前記第 1 のリードピンおよび前記第 2 のリードピンは前記パッケージと電氣的に絶縁することができる。

【0020】前記レーザダイオードと前記ダミー用レーザダイオードとは一体にして構成し、前記レーザダイオードおよび前記ダミー用レーザダイオードにおける前記第 1 の電極は分離し、かつ、前記第 2 の電極は共通に形成することができる。

【0021】前記パッケージと前記駆動回路の接地電極とは、寄生インダクタンスを含まない低インピーダンスの導体で接続することができる。

【0022】

【発明の実施の形態】以下、図面を参照して、本発明の実施の形態を詳細に説明する。

【0023】本発明の第 1 の実施の形態を、図 1 ～図 3 に基づいて説明する。なお、従来例と同一部分については同一符号を付し、その説明は省略する。

【0024】本例では、パッケージケースであるステム 1 と絶縁されたピン（従来例では信号用のリードピンのみが絶縁されていた）を少なくとも 2 本設け、一方のピン側に接続される素子を用いてダミー用回路を構成したことを特徴とするものである。すなわち、2 本のピンのうち、その一方のピンであるリードピン 6 は、LD 4 のカソードおよび駆動回路 10 の OUT 出力端子 13 と接続されることによって一つの回路を構成する。また、その他方のピンであるケースピンは、LD 4 のアノードおよび駆動回路 10 の OUTB 出力端子 14 と接続されることによってダミー用回路を構成する。

【0025】以下、具体例を挙げて説明する。

【0026】図 1 は、レーザモジュールの外観構成を示す。図 2 は、図 1 の構成を等価的な回路として示したものである。

【0027】図 1 において、LD 4 はステム 1 の中央部に配置されており、この LD 4 の裏面側に位置するカソード（n 型半導体基板側の n 電極）は、サブマウント 3

上の電極と接続されている。このサブマウント 3 上の電極は、ボンディングワイヤ 5 を介して、信号用のリードピン 6 と接続されている。これにより、リードピン 6 から入力された信号は、LD 4 のカソードに印加される。リードピン 6 とステム 1 とは電氣的に絶縁されている。リードピン 6 は、駆動回路 10 の差動出力部 11 の OUT 出力端子 13 に接続されている。

【0028】一方、LD 4 の表面側のアノード（p 電極）は、ボンディングワイヤ 20 を介して、ケースピン 21 と接続されている。ケースピン 21 とステム 1 とは電氣的に絶縁されている。そして、ケースピン 21 は、ダミー負荷 22 を介して、駆動回路 10 の差動出力部 11 の OUTB 出力端子 14 に接続されている。

【0029】この場合、ダミー負荷 22 は、LD 4 のオン抵抗  $r$  と同等程度の抵抗（駆動時）をもって構成されている。このダミー負荷 22 としては、前記図 14 に示したような、抵抗や、ダイオード等を用いて構成できるものであり、本例では、以下、ダミー抵抗  $r_d$  からなるものとする。

【0030】また、上記リードピン 6 とケースピン 21 とは別個に、ケースピン 31 をステム 1 に設けてもよい。この場合、ケースピン 31 は、ボンディングワイヤ 30 を介して、LD 4 上のアノードと接続される。このケースピン 31 は駆動回路 10 の接地線（GND）32 と接続されており、また、ケースピン 31 はステム 1 と導通させてもよい。ここで、LD 4 のアノードは、図 2 に示す電位  $V_d g$  を与える接続点  $p$  に相当する。

【0031】なお、LD 4 上のアノードをボンディングワイヤを介してステム 1 に直接接続してもよい。この場合、ステム 1 と駆動回路 10 の接地線（GND）とが、幅広のパターンで結線されている方が、高速の信号に対しては、安定した動作が得られる。

【0032】次に、図 2 の回路について説明する。

【0033】領域 A は、レーザモジュールの構成部分に相当する。10 は、前述した差動出力部 11 を有する駆動回路に相当する。そして、差動出力部 11 の OUT 出力端子 13 には、LD 4 のオン抵抗  $r$  と、ボンディングワイヤ 5 のワイヤインダクタンス  $L_{c1}$  と、リードピン 6 のピンインダクタンス  $L_p$  との負荷インピーダンスからなる回路が接続されている。一方、OUTB 出力端子 14 には、ボンディングワイヤ 20 のワイヤインダクタンス  $L_{a1}$  と、ケースピン 21 のピンインダクタンス  $L_p$  と、ダミー負荷 22 のダミー抵抗  $r_d$  との負荷インピーダンスからなる回路が接続されている。この場合、負荷インピーダンス（ $r$ 、 $L_{c1}$ 、 $L_p$ ）と、負荷インピーダンス（ $L_{a1}$ 、 $L_p$ 、 $r_d$ ）とは、互いに等しいものとする。これら負荷インピーダンスを有する回路の一端は、電位  $V_d g$  を有する接続点  $p$  で接続されている。

【0034】また、接続点  $p$  には、ボンディングワイヤ 30 のワイヤインダクタンス  $L_{a2}$  と、ケースピン 31

のピンインダクタンス $L_p$ とからなる回路が接続され、この回路の一端は接地線32により接地されている。なお、 $L_{c1}$ 、 $L_p$ 、 $L_{a1}$ 、 $L_{a2}$ は、寄生インダクタンスに相当する。

【0035】このような回路構成において、寄生インダクタンス $L_{a1}=L_{a2}$ とすることにより、電位 $V_{dg}$ の接続点 $p$ は仮想接地状態と考えることができる。ここで、 $L_{c1}=L_{a1}$ 、 $L_p$ （リードピン6側）= $L_p$ （ケースピン21側）とすると、駆動回路10の差動出力部11には、負荷インピーダンス（ $r$ 、 $L_{c1}$ 、 $L_p$ ）と負荷インピーダンス（ $L_{a1}$ 、 $L_p$ 、 $r_d$ ）とが互いに等しい回路が挿入されることになるため、差動負荷のバランスをとることができる。従って、寄生素子の存在が問題となるような高速動作時においても、差動回路の正相／逆相とではほぼ対称な動作を実現することが可能となる。

【0036】図3は、本装置の変形例を示す。

【0037】ケースピン31はステム1と電気的に導通されている。さらに、ステム1と駆動回路10の接地線10aとの間には、低インダクタンスな幅広の導体パターン40によって接続されている。このような幅広の導体パターン40を用いて構成したことによって、図2のケースピン31のピンインダクタンス $L_p$ は短絡状態となり、ボンディングワイヤ30によるワイヤインダクタンス $L_{a2}$ が直接接地される回路となる。これにより、高速動作に対して、応答性を一層安定化させることができる。

【0038】次に、本発明の第2の実施の形態を、図4および図5に基づいて説明する。なお、前述した第1の実施の形態と同一部分については同一符号を付し、その説明は省略する。

【0039】前述した第1の実施の形態では、駆動回路10の両相の負荷をバランスさせるために、逆相出力側にLD4の順方向抵抗値とほぼ同等なダミー抵抗を挿入した。しかし、動作速度がGHzを越える領域になると、駆動回路10の差動出力部11の接合容量に加え、LD4自身の持つ接合容量も問題となってくる。そこで、本例では、LD4の接合容量をも含めた系に対処する場合の例について述べる。

【0040】図4において、サブマウント50上には、LD4と同様な構造をもつダミー負荷としてのダミー用LD51が設けられている。この場合、ダミー用LD51は、LD4のオン抵抗 $r$ と同等な抵抗 $r_d$ を有する。また、ダミー用LD51の出射端面は95%以上の高反射膜51aで覆われており、光が外部に取出不可能な構造とされている。すなわち、ダミー用LD51は、単なるダイオードとしてのI-V特性を得るための目的で設けられる。

【0041】ダミー用LD51のカソードは、サブマウント50の電極と接触している。サブマウント50は、

ボンディングワイヤ52を介して、ケースピン53と接続されている。ケースピン53は、駆動回路10のOUTB出力端子14と接続されている。なお、ケースピン53は、ステム1と電気的に絶縁されている。ここで、ボンディングワイヤ52はワイヤインダクタンス $L_{c2}$ を有し、ケースピン53はピンインダクタンス $L_p$ を有している。

【0042】一方、ダミー用LD51のアノードは、ボンディングワイヤ54を介して、LD4のアノードと接続されている。LD4のアノードは、ボンディングワイヤ20を介して、ケースピン21と接続されている。ケースピン21は、接地線25により接地され、また、ステム1と電気的に導通されている。ここで、ボンディングワイヤ54はワイヤインダクタンス $L_{a2}$ 、ボンディングワイヤ20はワイヤインダクタンス $L_{a1}$ 、ケースピン21はピンインダクタンス $L_p$ をそれぞれ有している。

【0043】LD4のカソードは、前述したようにリードピン6と接続され、リードピン6は駆動回路10のOUT出力端子13と接続されている。なお、LD4は、図4中ではステム1の中央部に位置していないが、前述した例と同様に、ステム1の中央部に位置するように調整しておく。

【0044】このような構成とすることにより、駆動回路10の差動出力部11からみた負荷インピーダンスは、LD4とダミー用LD51とが接合容量的にも等価となるため、高速動作時の安定性をさらに増加させることができる。

【0045】図5は、図4の構成を等価的な回路として示したものである。

【0046】OUT出力端子13に接続された回路は、抵抗 $r$ 、寄生インダクタンス $L_{c1}$ 、 $L_p$ からなる負荷インピーダンスを有している。OUTB出力端子14に接続された回路は、抵抗 $r_d$ 、寄生インダクタンス $L_{c2}$ 、 $L_p$ 、 $L_{a2}$ からなる負荷インピーダンスを有している。電位 $V_{dg}$ を有する接続点 $p$ が仮想接地されている。今、 $r=r_d$ 、 $L_{c1}=L_{c2}$ 、 $L_p$ （カソード側）= $L_p$ （アノード側）とすると、寄生インダクタンス $L_{a2}$ がOUTB出力端子14側に残るため、差動負荷のアンバランスが生じる。

【0047】この差動負荷のアンバランスは、OUTB出力端子14側では2本のボンディングワイヤ52、54を介してLD4のアノードに接続されているのに対して、OUT出力端子13側では1本のワイヤしか介していないことに原因する。差動負荷のアンバランスが生じると、動作速度がさらに速い場合に影響が現れてくる。

【0048】しかし、ボンディングワイヤ54による寄生インダクタンス $L_{a2}$ は非常に小さなものであり、しかも、カソード側の個々のボンディングワイヤ5、52の長さは調整することができるため、差動負荷のアンバ

ランスを解消させることができる。

【0049】また、本例においても、ケースピン21をステム1と導通させ、さらに、ステム1と駆動回路10の接地線10aとの間を幅広の導体パターンで接続することによって、ケースピン21に起因する寄生インダクタンスLp分をキャンセルすることが可能となる。

【0050】次に、本発明の第3の実施の形態を、図6ないし図8に基づいて説明する。なお、前述した第1および第2の実施の形態と同一部分については同一符号を付し、その説明は省略する。

【0051】本例は、前述した第2の実施の形態の例で用いたLD4、ダミー用LD51を一体にして構成した場合の例である。

【0052】図6は、レーザモジュールの構成例を示す。ステム1の突起部2には、マルチビームレーザダイオード(LD)60のチップが取付けられている。このマルチビームLD60は、発光部61と、ダミー用発光部62とから構成されている。発光部61は、前記LD4に対応した発光領域として形成されている。ダミー用発光部62は、前記ダミー用LD51に対応した発光領域として形成されている。そして、ダミー用発光部62の出射端面は、高反射膜63で覆われている。64は、光を出射する活性層の領域である。従って、光は、発光部61の活性層64側のみから出射され、高反射膜63が被覆されたダミー用発光部62からは出射されない。

【0053】マルチビームLD60の突起部2と接触する側の下面には、共通のアノード(p電極)65が形成されている。また、マルチビームLD60の上面には、カソード(n電極)66a、66bが形成されている。カソード66aからはボンディングワイヤ5が引き出され、リードピン6と接続されている。カソード66bからはボンディングワイヤ52が引き出され、ケースピン53と接続されている。

【0054】図7は、図6の構成を等価的な回路として示したものである。

【0055】オン抵抗rを有する発光部61は、OUT出力端子13側の回路に接続されている。オン抵抗rと等価なダミー用抵抗rdを有するダミー用発光部62は、OUTB出力端子14側の回路に接続されている。その他の駆動回路10側の構成は、前述した図5の回路と同様である。

【0056】図8は、多重量子井戸型(MQW)構造のマルチビームLD60の1例を示す。活性層64は、GaAsInPからなっている。この活性層64は、狭窄型のp型ブロック層70、n型ブロック層71によって電流ブロックされている。72は、p型InP基板とされたクラッド層である。このクラッド層72の下面には、アノード65の共通電極が形成されている。この共通電極とされたアノード65は、ステム1の突起部2に固着される。一方、73は、n型クラッド層である。こ

のクラッド層73上には、コンタクト層74、絶縁層75が積層されている。コンタクト層74の面には、n型InPのカソード66a、66bの電極が各々形成されている。カソード66aの電極からはボンディングワイヤ5が引き出され、カソード66bの電極からはボンディングワイヤ52が引き出される。

【0057】そして、発光部61の出射端面側の活性層64からのみ光が出射され、ダミー用発光部62の出射端面側の活性層64は高反射膜63で覆われた状態となっているため、光は出射しない。

【0058】前述した例のように、2つのLD(LD4、ダミーLD51)を、独立したサブマウント3、50上に搭載するのは、製造工程上煩雑となり、出射光取出し側のLD4の光軸調整にも支障を来すおそれがある。しかし、本例のように、2つのLDをモノリシックな構造として構成することによって、2つのLDを結線するボンディングワイヤ54を省略することができ、これにより、ワイヤインダクタンスLa2を除去でき、製造工程の簡略化を図ることも可能となる。

【0059】

【発明の効果】以上説明したように、本発明によれば、差動出力部の一方の差動出力端子に接続された第1の出力回路の負荷インピーダンスと、差動出力部の他方の差動出力端子に接続された第2の出力回路の負荷インピーダンスとが等価で互いに平衡となるように回路接続をしたので、差動負荷のバランスを完全にとることができ、これにより、光通信等における高速動作時においても寄生素子の影響をなくし安定した出力動作を行うことが可能となり、引いては、ジッタのない信頼性の高いデータ伝送が行えるレーザモジュールを作製することができる。

【0060】また、本発明によれば、パッケージケースと駆動回路の接地電極とを低インピーダンスな導体で接続したので、高速動作に対してさらに安定化を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態としてのレーザモジュールの構造を示す斜視図である。

【図2】図1の等価的な構成を駆動回路を含んで示す回路図である。

【図3】レーザモジュールに低インピーダンス導体を付設した場合の接続形態を示す構成図である。

【図4】本発明の第2の実施の形態としてのレーザモジュールの構造を示す斜視図である。

【図5】図4の等価的な構成を駆動回路を含んで示す回路図である。

【図6】本発明の第3の実施の形態としてのレーザモジュールの構造を示す斜視図である。

【図7】図6の等価的な構成を駆動回路を含んで示す回路図である。

11

12

【図 8】 マルチビームレーザダイオードの構造例を示す斜視図である。

【図 9】 従来のレーザモジュールの構造を示す斜視図である。

【図 10】 図 9 の等価的な構成を駆動回路を含んで示す回路図である。

【図 11】 図 9 のレーザモジュールと駆動回路との接続形態を示す構成図である。

【図 12】 図 9 の問題を解決するための等価的な構成を示す回路図である。

【図 13】 レーザモジュールに低インピーダンス導体を付設した場合の接続形態を示す構成図である。

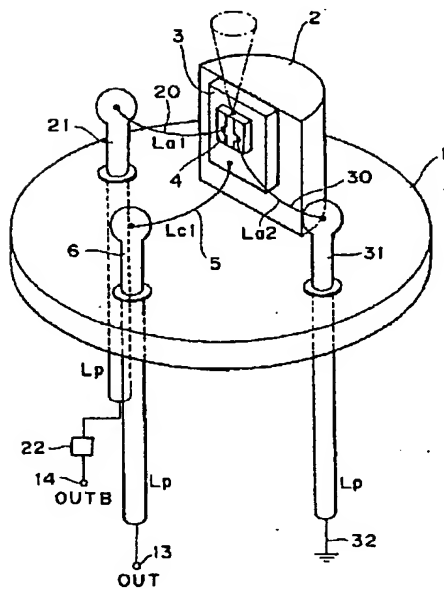
【図 14】 ダミー負荷の 1 例を示す構成図である。

【符号の説明】

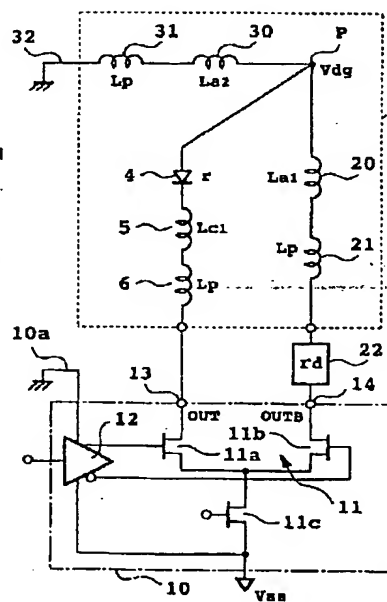
- 1 パッケージ
- 3 サブマウント
- 4 レーザダイオード

- 5 第 1 のボンディングワイヤ
- 6 第 1 のリードピン
- 10 駆動回路
- 11 差動出力部
- 13, 14 差動出力端子
- 20 第 2 のボンディングワイヤ
- 21 第 2 のリードピン
- 22 ダミー用抵抗
- 40 導体
- 50 サブマウント
- 51 ダミー用レーザダイオード
- 52 第 2 のボンディングワイヤ
- 53 第 2 のリードピン
- 54 第 3 のボンディングワイヤ
- カソード 第 1 の電極
- アノード 第 2 の電極

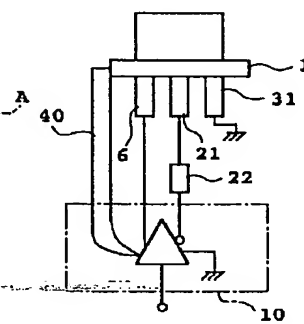
【図 1】



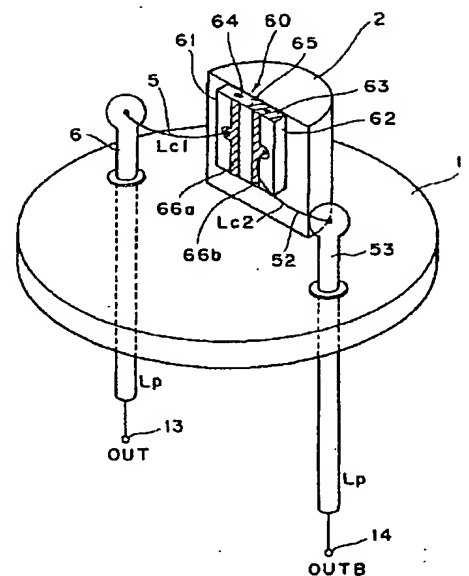
【図 2】



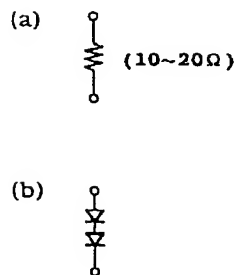
【図 3】



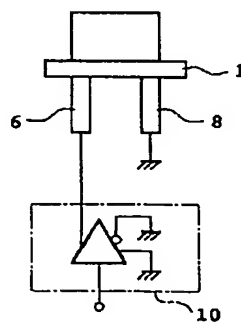
【図 6】



【図 14】

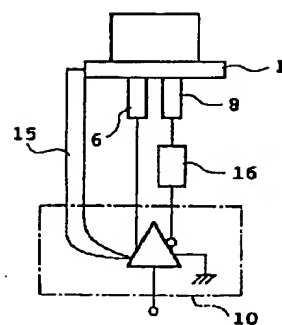


【図 11】

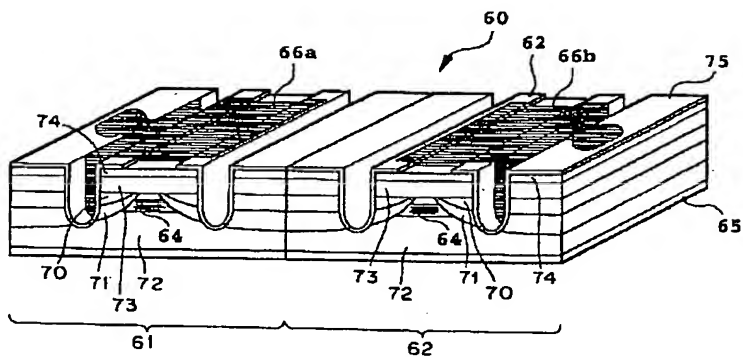




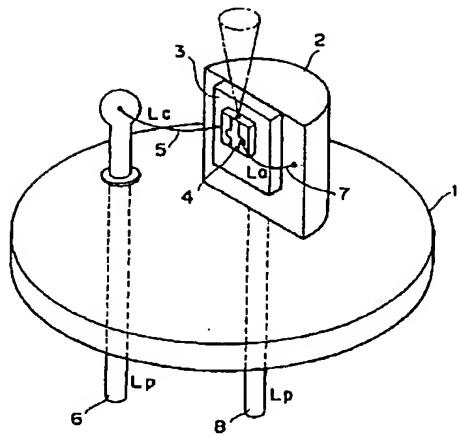
【图 13】



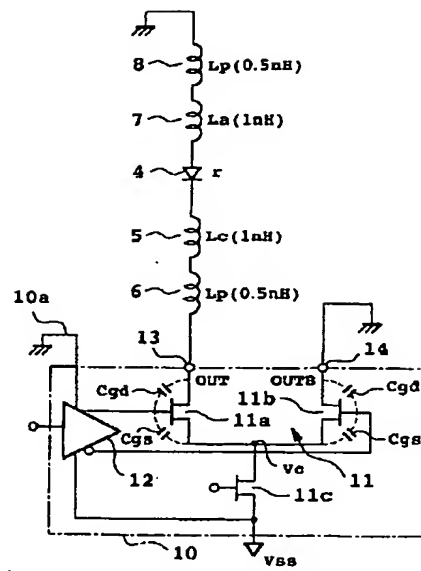
【图 8】



【図9】



【図10】



【図12】

